

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06037328
PUBLICATION DATE : 10-02-94

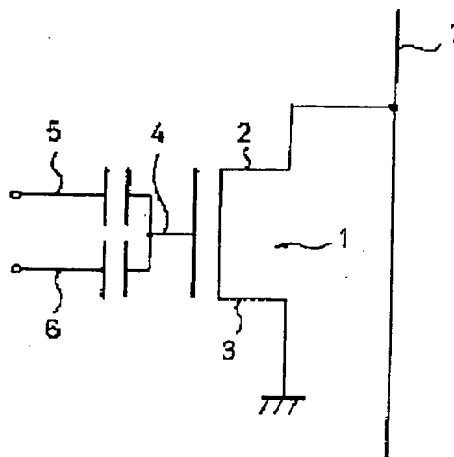
APPLICATION DATE : 20-07-92
APPLICATION NUMBER : 04192023

APPLICANT : FUJITSU LTD;

INVENTOR : FUJII ATSUSHI;

INT.CL. : H01L 29/788 H01L 29/792 H01L 27/115

TITLE : SEMICONDUCTOR STORAGE DEVICE



ABSTRACT : **PURPOSE:** To realize a semiconductor storage device having a writing efficiency improved without impairing operational stability at the time of reading, regarding the semiconductor storage device constructed of EPROM memory cells.

CONSTITUTION: In a semiconductor storage device in which each memory cell is an EPROM memory cell equipped with a transistor 1, a floating gate 4 provided in proximity to a channel of the transistor 1 and insulated from the surroundings and a control gate provided in proximity to the floating gate 4 and joined with the floating gate 4 in terms of capacity, each memory cell is equipped with two control gates 5 and 6 being controllable discretely.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-37328

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

8728-4M

H 0 1 L 29/ 78

3 7 1

27/ 10

4 3 4

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号

特願平4-192023

(22)出願日

平成4年(1992)7月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 平山 誠二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 藤井 淳

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

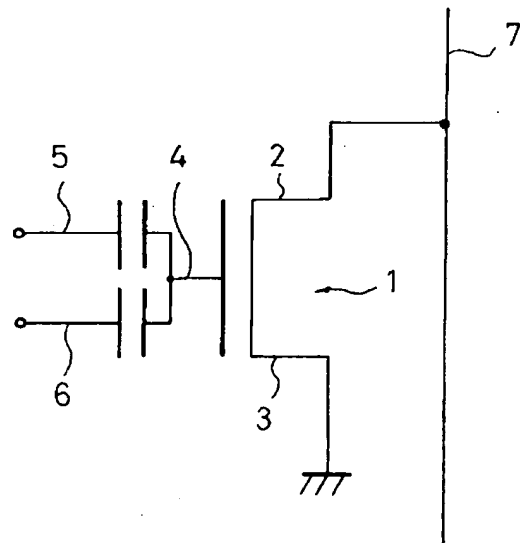
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 本発明はEPROMメモリセルで構成される半導体記憶装置に関し、読み出し時の動作安定性を損うことなく書き込み効率を向上した半導体記憶装置の実現を目的とする。

【構成】 各メモリセルが、トランジスタ1と、トランジスタ1のチャンネルに近接して設けられ周囲からは絶縁されているフローティングゲート4と、フローティングゲート4に近接して設けられ、フローティングゲート4に容量的に結合されているコントロールゲートとを備えるEPROMメモリセルである半導体記憶装置において、各メモリセルは独立して制御可能な2個のコントロールゲート5、6を備えるように構成する。

本発明の原理構成図



1

【特許請求の範囲】

【請求項1】 各メモリセルが、トランジスタ(1)と、該トランジスタ(1)のチャンネルに近接して設けられ、周囲からは絶縁されているフローティングゲート(4)と、

該フローティングゲート(4)に近接して設けられ、該フローティングゲート(4)に容量的に結合されているコントロールゲートとを備えるEPROMメモリである半導体記憶装置において、

各メモリセルは、独立して制御可能な2個のコントロールゲート(5、6)を備えることを特徴とする半導体記憶装置。

【請求項2】 前記フローティングゲート(4)と前記2個のコントロールゲート(5、6)はポリシリコンで作られていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記フローティングゲート(4)をポリシリコンで形成し、前記2個のコントロールゲート(5、6)が不純物拡散層で作られることを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 請求項1又は2に記載の半導体記憶装置であって、前記メモリセルへの書き込み時には、前記2個のコントロールゲート(5、6)の両方に同時に高電圧を印加し、前記メモリセルからの読み出し時には、前記2個のコントロールゲート(5、6)の一方のみに高電圧を印加し、もう一方のコントロールゲートは接地することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、EPROMと呼ばれる紫外線等を照射することにより記憶内容が消去可能な半導体記憶装置に関し、特に書き込み効率を改善したEPROMに関する。

【0002】

【従来の技術】ユーザが書き込み可能で、電源を切っても記憶内容が保持され、更に紫外線等を外部から照射すれば、記憶内容が消去され繰り返し記憶内容の更新が行なえるEPROMと呼ばれる半導体記憶装置が、コンピュータにおけるプログラムの記憶用素子等として広く作用されている。

【0003】図6は現在主として使用されているnチャンネルEPROMメモリセルの構造を説明する図である。図において、62はドレインであり、63はソースである。64はフローティングゲートであり、絶縁膜68で周囲より絶縁されている。65はコントロールゲートであり、フローティングゲート64と容量的に結合されている。

2

【0004】図6のセルでは、コントロールゲート65からみたしきい値電圧が、フローティングゲート64に電荷が蓄積されているかいないかにより異なることを利用してデータを記憶させている。書き込みは、コントロールゲート65とドレイン62に高電圧を印加し、ドレイン62近傍で発生する高エネルギーをもつ電子(ホットエレクトロン)をフローティングゲートに注入することにより行う。また消去は、紫外線を当てて、フローティングゲート64中の電荷を放出することにより行う。

10 【0005】図7はEPROMの全体構成を示す図である。図において、70は図6に示したメモリセルであり、マトリクス状に配列されている。71は行デコーダであり、各行のメモリセル70のコントロールゲートに接続されるワード線75を選択的に駆動する行デコード信号を出力する。72は列デコーダであり、複数のビット線77とビット線制御部73とを接続するスイッチ列74のスイッチを選択的に導通させる列デコード信号を出力する。各メモリセル70のドレインは、そのメモリセルが属する列のビット線に接続されている。行デコーダ71と列デコーダ72にアドレス信号を印加することにより、1本のワード線と1本のビット線が選択状態になり、その交差点に位置するメモリセルが選択される。

【0006】書き込み時には、書き込むデータによってワード線とビット線に印加する電圧を変える。フローティングゲートに電子を注入した状態に対応するデータを書き込む時には、ワード線とビット線に高電圧を印加する。読み出し時には、書き込み時より低い電圧をワード線とビット線に印加する。前述のようにフローティングゲートに電子が蓄積されているかいないかによってコントロールゲートからみたトランジスタのしきい値が異なるが、ワード線に印加する電圧は、フローティングゲートに電子が蓄積されていなければトランジスタが導通し、電子が蓄積されていれば導通しないようなレベルに定められている。これによりフローティングゲートに電子が蓄積されていなければトランジスタが導通してビット線77より電気が流れ込み、電子が蓄積されていればトランジスタは導通せずビット線77に電気は流れない。この電流の差をビット線制御部73のセンスアンプで検出すれば、書き込まれたデータが読み出せる。

40 【0007】図8は従来のEPROMセルの構成例を示す図であり、実際の構造形状もわかるように(a)に平面図を示し、(b)に図中のA-A'で示した部分の断面図を示す。図において82はドレインであり、83はソースであり、その中間部分にトランジスタのチャンネル部分88が形成される。84はフローティングゲートであり、ポリシリコンで作られている。85はコントロールゲートである。

【0008】

50 【発明が解決しようとする課題】EPROMメモリセルは、図6及び図8に示すような構造を有するが、その等

3

価回路を示したのが図9である。図において、91がトランジスタであり、92と93はそれぞれドレインとソースである。94がフローティングゲートであり、95はコントロールゲートである。図6に示したように、フローティングゲート94は絶縁膜で覆われており、トランジスタ91のチャンネル部分及びコントロールゲート95とは容量的に結合されている。いまフローティングゲート94とチャンネル及びドレイン92、ソース93*

$$V_F = \frac{V_P}{1 + C_D / C_U} + \frac{Q_F}{C_D + C_U} \quad (1)$$

Q_F はフローティングゲート94内に蓄積された電荷であり、書き込み前はゼロであり、書き込むことにより負の値を有する。従って電荷が蓄積されている時には、たとえ同じ電圧をコントロールゲート95に印加しても、電荷が蓄積されていない時に比べてフローティングゲート94の電位 V_F は低下する。

【0011】 V_F と V_P の関係は、式(1)に示すように2つの容量 C_D と C_U の比に影響されることがわかる。すなわち C_D / C_U が大きい程 V_F は V_P に近づき大きくなる。前述のように、書き込み時にはフローティングゲート94が高い電位になることが望ましい。そのためコントロールゲート95に高電圧を印加するが、 $C \times$

$$V_{th} = (V_{th} - \frac{Q_F}{C_D + C_U}) (1 + C_D / C_U) \quad (2)$$

フローティングゲート94に電荷が蓄積されているかないかによるしきい値 V_{th} の変化 ΔV_{th} は次式で表わされる。

$$\Delta V_{th} = -Q_F / C_U$$

式(3)から明らかなように、 C_D が大きい程しきい値の変化 ΔV_{th} は小さくなる。前述のように読み出し時のコントロールゲート95の電圧 V_P は、フローティングゲート94に電荷が蓄積されているかないか、すなわち Q_F が負の所定値かゼロかによってトランジスタが導通するか又は導通しないように定められる。従って各種誤差を考慮すれば、 ΔV_{th} が大きい程読み出し時の誤動作が少なく、安定的な動作が可能になる。そのため C_D は小さいことが望ましい。

【0015】しかし前述のように書き込み効率を高めるためには C_D / C_U を大きくすることが望ましく、上記の C_D を小さくするということが相反する関係になる。そのため現状では C_D / C_U を大きくすることができず、その分コントロールゲートに高い電圧を印加したり、あるいは書き込み時間を長くしなければならないといった問題が生じていた。

【0016】本発明は上記問題点に鑑みてなされたものであり、安定的な動作を損うことなく書き込み効率を向上したEPROMの実現を目的とする。

【0017】

4

*との間の容量を C_D とし、フローティングゲート94とコントロールゲート95との間の容量を C_U とする。

【0009】フローティングゲート94の電位を V_F 、コントロールゲート95の電圧を V_P で表わし、フローティングゲート94に蓄積されている電荷を Q_F とすると、 V_F は次式で表わされる。

【0010】

【数1】

C_D / C_U が小さいと V_F は大きな値にならず、 V_F を所定の値にするためには V_P をより高くしなければならないという問題がある。そのため C_D / C_U を大きくした方が書き込み効率が良いといえる。

【0012】またフローティングゲート94の電位 V_F によってトランジスタが導通するかどうかのしきい値があり、その値を V_{th} とする。式(1)の V_F をこの V_{th} で置き換え、これに対応するコントロールゲート95のしきい値 V_{th} を求めると次式で表わされる。

【0013】

【数2】

★【0014】

【数3】

(3)

【課題を解決するための手段】図1は本発明の原理構成を示す図である。本発明の半導体記憶装置は、各メモリセルがトランジスタ1と、トランジスタ1のチャンネルに近接して設けられ周囲からは絶縁されているフローティングゲート4と、フローティングゲート4に近接して設けられフローティングゲート4に容量的に結合されているコントロールゲートとを備えるEPROMメモリセルであるものである。

【0018】そして上記問題点を解決するため、各メモリセルが、独立して制御可能な2個のコントロールゲート5、6を備えるように構成する。

【0019】

【作用】図2は本発明のEPROMセルの等価回路図である。以下この図に基づいて本発明のEPROMセルの動作を説明する。図9に示した従来のEPROMメモリセルの等価回路と図2の等価回路を比較すると、コントロールゲートが独立して制御可能な第1コントロールゲート5と第2コントロールゲート6で構成されている点である。フローティングゲート4と第1コントロールゲート5との間の容量を C_{D1} とし、フローティングゲート

4と第2コントロールゲート6との間の容量を C_{u2} とする。

【0020】書き込み時には第1コントロールゲート5と第2コントロールゲート6の両方に電圧 V_F' を印加*

*するとすると、フローティングゲート4の電位 V_F' は次式で表わされる。

$$V_F' = \frac{V_F}{1 + \frac{C_D}{C_{u1} + C_{u2}}} + \frac{Q_F}{C_D + C_{u1} + C_{u2}} \quad (4)$$

上式において Q_F はフローティングゲート内に蓄積された電荷を表わす。また読み出し時には、コントロールゲートの一方を「H」レベルに設定し、もう一方を「L」レベルに設定する。例えば第1コントロールゲート5に電圧 V_F を印加し、第2コントロールゲート6はアース※

10※に接地すると、その時のフローティングゲート6の電位 V_F は次式で表わされる。

【0022】
【数5】

$$V_F = \frac{V_F}{1 + \frac{C_D + C_{u2}}{C_{u1}}} + \frac{Q_F}{C_D + C_{u1} + C_{u2}}$$

この時の第1コントロールゲート5から見たしきい値の変化 ΔV_{th} は、前述の説明に従って次式で表わされる。

【0023】

【数6】

$$\Delta V_{th} = -Q_F / C_{u1}$$

式(4)から明らかなように、書き込み効率は $(C_{u1} + C_{u2}) / C_D$ に影響され、この値が大きくなる程書き込み効率が向上する。また読み出し時にトランジスタが導通するかしないかのしきい値の変化 ΔV_{th} は C_{u1} にのみ影響されることが式(6)から明らかである。従って C_{u1} を安定した動作が可能な小さな値にしたまま、 $(C_{u1} + C_{u2}) / C_D$ を大きくすることが可能であり、従来よりも書き込み効率を向上することができる。

【0024】例えば、図9に示した従来例の等価回路で、 $C_D : C_{u1} = 1 : 10$ とし、本発明の等価回路で $C_D : C_{u1} : C_{u2} = 1 : 7 : 3$ に設定した場合を比較すれば、 C_D / C_{u1} と $(C_{u1} + C_{u2}) / C_D$ は同じ値であり、書き込み効率は同じである。従って同じ書き込み時間であれば、フローティングゲート4に蓄積される電荷量 Q_F は同じである。これに対して ΔV_{th} は約1.4倍になり、読み出し時にコントロールゲートに印加する電圧が低くなるため読み出し時に書き込みデータを書き換えることが起きにくくなる。

【0025】逆に上記の条件で同じ ΔV_{th} になるようにするならば、書き込み時にフローティングゲート4に注入する電荷量は従来の70%でよく、書き込み時間をその分だけ短縮することができる。

【0026】

【実施例】本発明の実施例の全体構成を図3に示す。図3において、列デコーダ32、ビット線制御部33、ビット線選択スイッチ列34及びビット線37は、図7に

示した従来例と同じであり、説明を省略する。

【0027】30はメモリセルであり、図1に示した構成と同様の構成を有している。31は行デコーダであり、複数の第1ワード線と第2ワード線にそれぞれ行デコード信号を出力する。第1ワード線35はその行の各メモリセルの第1コントロールゲート5に接続されており、第2ワード線36は第2コントロールゲート6に接続されている。

【0028】図4は本実施例における各メモリセルの構造を示す図であり、図8の従来例に対応するものである。図4の(a)は平面図であり、(b)はA-A'で示した部分の断面図である。図4において、42と43はそれぞれトランジスタのドレインとソースであり、その中間部分がトランジスタのチャンネル部分48である。44はフローティングゲートであり、中央部がトランジスタのチャンネル部分48にゲート酸化膜47を介して隣接している。45と46はそれぞれ第1コントロールゲートと第2コントロールゲートであり、フローティングゲート44とはゲート酸化膜47を介して隣接している。図示していないが、フローティングゲート44は周囲をすべて酸化膜で覆われ、周囲から絶縁されている。以上の部分はすべて単層ポリシリコンゲートプロセスで作られている。

【0029】図4に示すように、フローティングゲート44と、トランジスタのチャンネル部48、第1コントロールゲート45及び第2コントロールゲート46との間の重なり合う部分の面積は1:7:3になっており、ほぼこの比率に対応する結合容量比を有している。図5は本実施例におけるコントロールゲート及びビット線への印加信号の例を示す図であり、(a)が書き込み時の印加信号を示し、(b)が読み出し時の印加信号を

示す。図3の行デコーダ31とビット線制御部33は図5に示すような印加信号を出力するように構成されている。

【0030】図5の(a)に示すように、書き込み時には選択したメモリセルの第1コントロールゲート45、第2コントロールゲート46及びドレイン42に図示のような高電圧が印加される。そのため行デコーダ31は選択した行の第1ビット線35と第2ビット線36に高電圧を印加し、ビット線制御部33は高電圧を出力する。但しフローティングゲート34に電荷が蓄積されていない状態に対応するデータを書き込み時には高電圧の印加は行なわない。

【0031】読み出し時には、図5に示すように、第1コントロールゲート35とドレイン32に電圧を印加し、第2コントロールゲート36は接地する。ドレイン32に印加する電圧、すなわちビット線制御部33がビット線に印加する電圧は、書き込み時より小さくする。第1コントロールゲート35、すなわち行デコーダ31が第1ワード線35に印加する電圧は、図示の通り、フローティングゲート34に電荷が蓄積されているかいないかにかかわらず導通する電圧レベルと導通しない電圧レベルとの間のレベル設定される。すなわちこの間ならば電荷蓄積の有無によってトランジスタが導通するかしないかの差が生じる。上記の電圧レベルの差が前述のしきい値の変化 ΔV_{th} に相当する。

【0032】読み出しは図5の(b)のような信号を印加した上で、選択したメモリセルのトランジスタが導通しているかいないかによるビット線の電流差を、ビット線制御部33のセンスアンプ33で検出することにより*

*行なう。

【0033】

【発明の効果】本発明により、書き換え可能で電源を切っても記憶内容が維持される半導体記憶装置において、読み出し時の安定性を損うことなく書き込み効率の向上が図れ、書き込み時間の短縮や読み出し時のワード線への印加電圧の低減によるより一層の安定化が可能になる。

【図面の簡単な説明】

10 【図1】本発明の原理構成図である。

【図2】本発明のEPROMセルの等価回路図である。

【図3】本発明の実施例の全体構成を示す図である。

【図4】実施例におけるメモリセルの構造を示す図である。

【図5】実施例における印加信号を示す図である。

【図6】nチャンネルEPROMメモリセルの構造説明図である。

【図7】従来のEPROMの全体構成を示す図である。

20 【図8】従来のEPROMメモリセルの構成例を示す図である。

【図9】従来のEPROMメモリセルの等価回路を示す図である。

【符号の説明】

1…トランジスタ

2…ドレイン

3…ソース

4…フローティングゲート

5…第1コントロールゲート

6…第2コントロールゲート

【図1】

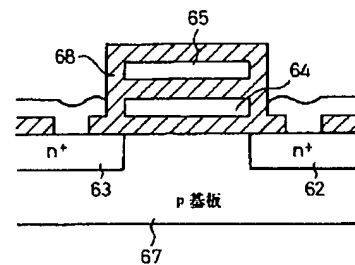
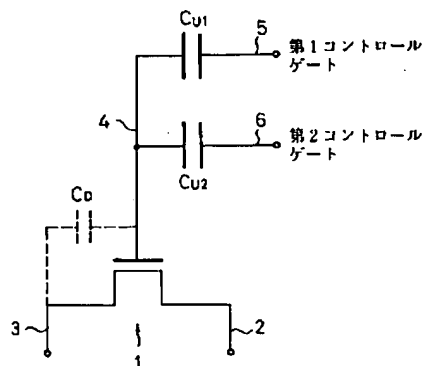
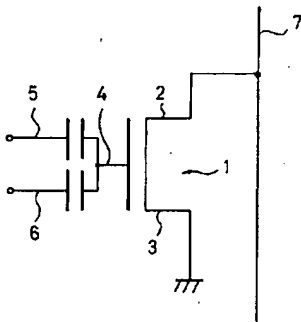
【図2】

【図6】

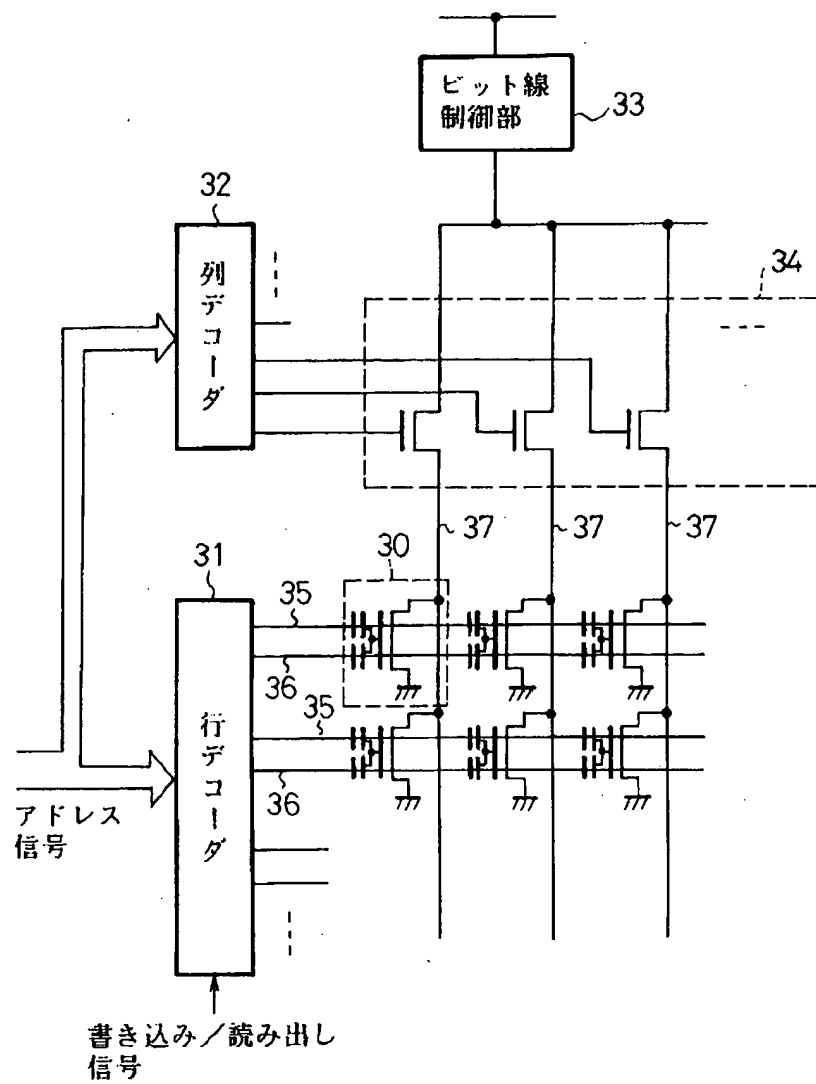
本発明の原理構成図

本発明のEPROMの等価回路

nチャンネルEPROMメモリセルの構造説明図



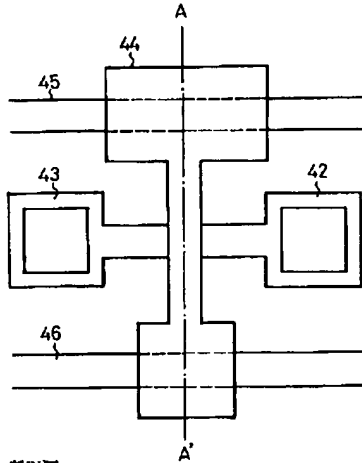
本発明の実施例の全体構成



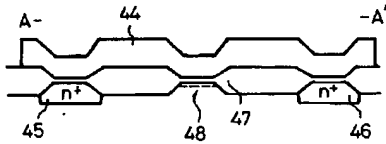
【図4】

実施例におけるメモリの構造

(a) 平面図



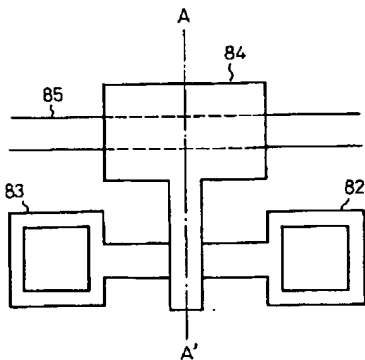
(b) 断面図



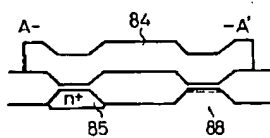
【図8】

従来のEPROMメモリの構成例

(a) 平面図



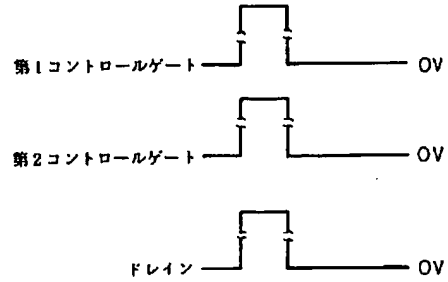
(b) 断面図



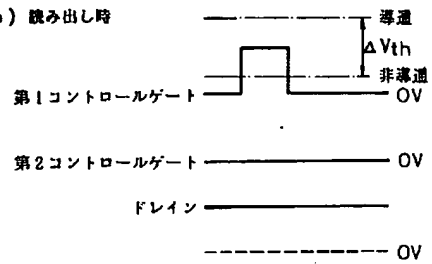
【図5】

実施例における印加信号

(a) 書き込み時

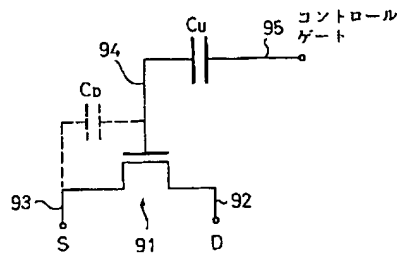


(b) 読み出し時



【図9】

従来のEPROMメモリの等価回路



【図7】

従来のE P R O Mの全体構成

